

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:54/電話18:53/文書番号4807405255 P. 3

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-313137

(43)Date of publication of application : 26.11.1993

(Nov. 26, 1993)

(51)Int.Cl.

G02F 1/133

G09G 3/38

H04N 5/66

// G09G 3/20

(21)Application number : 04-120844

(71)Applicant :

SHARP CORP

(22)Date of filing : 13.05.1992

(72)Inventor :

OKADA HISAO

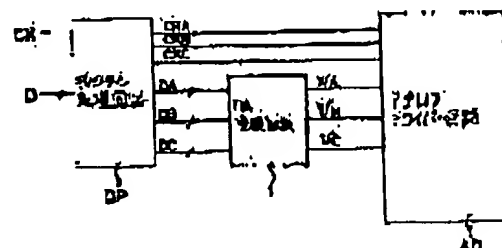
TANAKA MANABU

(54) DRIVING CIRCUIT FOR DISPLAY DEVICE

(57)Abstract:

PURPOSE: To enable high-speed operation and make gradations unlimited.

CONSTITUTION: A digital video signal D which is supplied from outside is branched into plural signals and latched by a digital processing circuit, and the respective branched video signals DA, DB, and DC are outputted with clock signals CKA, CKB, and CKO which are extended with time. The outputted video signals DA, DB, and DC are converted by a DA converting circuit 1 into analog signals, which are supplied to an analog driver circuit AD and sampled here according to the clock signals CKA, CKB, and CKO.



LEGAL STATUS

[Date of request for examination]

28.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2825214

[Date of registration]

11.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

30.08.2000

[Date of extinction of right]

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:54/額18:53/文書番号4807405255 P 4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-313137

(49) 公開日 平成5年(1993)11月28日
(NOV. 28, 1993)

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 7 5	7820-2K		
G 0 9 G 3/36		7319-5G		
H 0 4 N 5/66	1 0 2 B	9068-5C		
// G 0 9 G 3/20	K	8729-5G		

審査請求 未請求 請求項の数2(全 13 頁)

(21) 出願番号 特願平4-120844

(22) 出願日 平成4年(1992)6月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岡田 久夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 田中 学

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

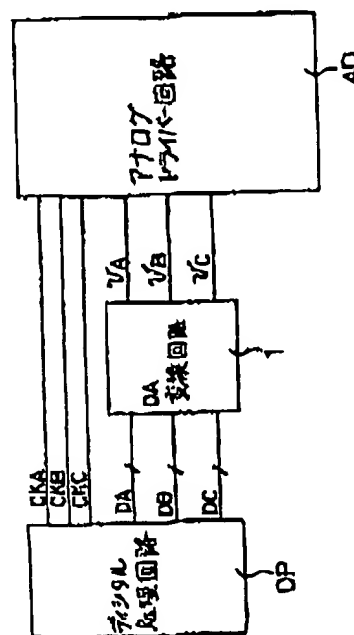
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【目的】 表示装置の駆動回路において、高速動作が可能であり、しかも階調に制限のないようにする。

【構成】 外部から与えられるデジタル映像信号Dは、デジタル処理回路DPで複数に分岐してラッチされ、各分岐された映像信号DA、DB、DCは時間的に引き伸ばされたクロック信号CKA、CKB、CKCに基づいて出力される。この出力された映像信号DA、DB、DCは、DA変換回路1によりアナログ信号に変換されてアナログドライバー回路ADに与えられ、ここでクロック信号CKA、CKB、CKCに基づいてサンプリングされる。



(2)

特開平5-313137

1

【特許請求の範囲】

【請求項1】 外部から与えられるディジタル映像信号を複数に分岐してジッパすると共に、時間的に引き伸ばしたクロック信号を分岐された映像信号数に応じた数だけ発し、該クロック信号に基づいて各分岐されたデータを出力するディジタル処理回路と、

該ディジタル処理回路から出力される複数の映像信号を入力して、該映像信号の各々をアナログ信号に変換して出力するDA変換回路と、

該DA変換回路からの複数のアナログ信号を入力し、該複数のアナログ信号を、該ディジタル処理回路が発する該クロック信号に基づいてサンプリングするアナログドライバ回路と、

を備えた表示装置の駆動回路。

【請求項2】 前記ディジタル処理回路が、分岐された映像信号の1つを出力する位相に、他の分岐された映像信号を出力する位相を整合させる位相整合回路を備える請求項1記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、映像信号がディジタルで与えられ、極めて多階調の表示を行う表示装置の駆動回路に関する。

【0002】

【従来の技術】 液晶表示装置を駆動する場合、液晶の応答速度がCRT（陰極線管）表示装置に使用される蛍光物質と比較して非常に低いことから、特別の表示駆動回路が用いられる。すなわち、液晶表示駆動回路では、時々刻々送られてくる映像信号をそのまま各絵素に与えるのではなく、1水平期間内に各絵素に対応してサンプリングした映像信号をその水平期間中保持し、次の水平期間の先頭又はその途中の適当な時期に一齐に出力する。そして、各絵素に対する映像信号電圧の出力を開始した後、液晶の応答速度を十分に上回る時間だけその信号電圧を保持しておくのである。

【0003】 上記表示装置の1つとして、スイッチング素子に薄膜トランジスタ（TFT）が使用され、映像データがディジタルで送られる液晶表示装置がある。その液晶表示装置を駆動する回路としては、図20に従来のディジタルソースドライバの1出力対応の構成図を示す。実際の駆動回路としては、図20の回路が表示装置の水平方向分の絵素の数だけ必要とされる。図21はその全体の構成図を示しており、各CELLは、その1つが図20の回路に対応している。図21においては、出力バルスOEと、階調電源V0～V3は省略しているが、これらは全てのCELLに共通に入力されている。なお、図20及び21の例においては、映像データとして

2

【0004】 図20の回路は、そのうち第n番目の絵素に対する部分を示すものである。この回路は、映像信号データの各ビット（D₀, D₁）毎に設けられた第1段目のDフリップフロップ（サンプリングフリップフロップ）Msmf及び第2段目のフリップフロップ（ホールドフリップフロップ）MH、1個のデコードDEC、それに4種の外部電圧源V0～V3とソースラインOnとの間に各々設けられたアナログスイッチASW0～ASW3により構成される。なお、ディジタル映像信号データのサンプリングは、Dフリップフロップ以外にも種々のものを用いることができる。

【0005】 このディジタルソースドライバは次のように動作する。映像信号データD₀, D₁は第n番目の絵素に対応するサンプリングバルスTsmfnの立ち上がり時点でサンプリングフリップフロップMsmfに取り込まれ、そこで保持される。1水平期間のサンプリングが終了した時点で出力バルスOEがホールドフリップフロップMHに与えられ、サンプリングフリップフロップMsmfに保持されていた映像信号データD₀, D₁はホールドフリップフロップMHに取り込まれると共にデコードDECに出力される。デコードDECはこの2ビットの映像信号データD₀, D₁をデコードし、その値（0～3）に応じてアナログスイッチASW0～ASW3いずれか1個を導通として、4種の外部電圧V0～V3のいずれかをソースラインOnに出力する。

【0006】 ところで、図22は、カラー映像用の信号として、赤（R）、青（B）、緑（G）の信号が並列にコンピュータから送られて来る場合に対応したソースドライバの全体の構成図を示す。この図において、CELLは図20の回路に相当しており、OA用のソースドライバとしては一般にこのように構成される場合が多い。なお、図22においては、出力バルスOEと、階調電源V0～V3は省略しているが、これらは全てのCELLに共通に入力されている。

【0007】 以上ではディジタルドライバを説明しているが、その他にアナログドライバが存在する。ディジタルドライバの特徴としては、従来のアナログドライバと比較すると、非常に高速で且つ精密なサンプリングが可能である。又、例えば、電子計算機等の端末機の表示装置駆動回路として使用する場合には、電子計算機等も本質的にディジタル機器である事から、その整合性もよい。しかしながら、下記のような欠点が存在することも否めない。

【0008】 即ち、階調数が多い場合には、外部から与えるべき階調電源の個数が多くなり、実質的に駆動回路を構成するLSIの製作が困難になることである。例えば、データが8ビットの場合を考えると、階調数は、2⁸=256であるから、原理的には、256個の階調

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:55/審18:53/文書番号4807405255 P 6

(3)

特開平5-313137

3

のままサンプリングするアナログドライバーの場合には、原理的に階調数の問題は発生しない。アナログドライバーは、本質的に無限階調ドライバーと考えてよい。以下に、この従来から使用されているアナログドライバーの原理を簡単に説明する。

【0010】アナログドライバーの場合における1出力対応の基本的構成を図23に示す。図23は、デジタルドライバーにおける図20に対応している。このアナログドライバーは、アナログスイッチSW1、サンプリングコンデンサC_{smp}、アナログスイッチSW2、ホールドコンデンサCH、及び出力バッファアンプAにより構成されている。

【0011】このように構成されたアナログドライバーは、以下のように動作する。アナログスイッチSW1に入力されるアナログの映像信号V_sは、サンプリングクロック信号T_{smp1}～T_{smpn}によって順次サンプリングされ、各時点における映像信号V_sの瞬時電圧V_{smp1}～V_{smpn}が各サンプリングコンデンサC_{smp}に印加される。第n番目のサンプリングコンデンサC_{smp}は第n番目の絵素に対応する映像信号電圧の値V_{smpn}により充電され、その値を保持する。1水平走査期間の間にこうして順次サンプリングされ、保持された信号電圧V_{smp1}～V_{smpn}は、全アナログスイッチSW2に一齐に与えられる出力用パルスOEにより、各サンプリングコンデンサC_{smp}からホールドコンデンサCHに移動され、バッファアンプAを介して、各絵素に接続されているソースラインO₁～O_nに出力される。

【0012】

【発明が解決しようとする課題】しかしながら、上記アナログドライバーは、先述したように階調数に原理的な制約はないが、記憶素子に容量を用いる場合には、記憶素子自体が本質的に時定数を持っているために、サンプリングに要する時間としてその時定数を十分に上回る時間を必要とし、よってサンプリング速度を原理的に高速化できないという問題があった。なお、現時点では、最も高速なアナログドライバーでも、そのサンプリング速度は6MHz程度であり、デジタルドライバーの3分の1程度に過ぎない。

【0013】本発明はかかる課題を解決すべくなされたものであり、高速動作が可能であり、しかも階調に制限のない表示装置の駆動回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の表示装置の駆動回路は、外部から与えられるデジタル映像信号を複数に分岐してラッチすると共に、時間的に引き伸ばしたク

4

ら出力される複数の映像信号を入力して、該映像信号の各々をアナログ信号に変換して出力するDA変換回路と、該DA変換回路からの複数のアナログ信号を入力し、該複数のアナログ信号を、該デジタル処理回路が発する該クロック信号に基づいてサンプリングするアナログドライバー回路と、を備えており、そのことにより上記目的を達成できる。

【0015】前記デジタル処理回路としては、分岐された映像信号の1つを出力する位相に、他の分岐された映像信号を出力する位相を整合させる位相整合回路を備える構成としてもよい。

【0016】

【作用】本発明にあっては、外部から与えられるデジタル映像信号は、デジタル処理回路で複数に分岐してラッチされ、各分岐された映像信号は時間的に引き伸ばされたクロック信号に基づいて出力される。この出力された映像信号は、DA変換回路によりアナログ信号に変換されてアナログドライバー回路に与えられ、ここでクロック信号に基づいてサンプリングされる。したがって、映像信号を並列的に処理することができ、高速処理が可能となる。また、アナログドライバー回路を使用しているため、無限階調が可能である。

【0017】また、デジタル処理回路が位相整合回路を備える場合は、分岐された映像信号の1つを出力する位相に、他の分岐された映像信号を出力する位相を整合させることができる。

【0018】

【実施例】以下に、本発明の実施例を図面に基づき説明する。

【0019】(実施例1) 図1は、本実施例における表示装置の駆動回路の基本的構成を示す。この駆動回路は、デジタル映像信号Dとクロック信号CKが外部から与えられるデジタル処理回路DPと、デジタル処理回路DPから出力される信号DA、DB、DCを入力してDA変換するDA変換回路1と、デジタル処理回路DPから出力される3種のクロック信号CKA、CKB、CKC及びDA変換回路から出力される信号vA、vB、vCを入力してサンプリングするアナログドライバー回路ADとからなる。

【0020】図2は、上記デジタル処理回路DPの具体的な回路構成例を示す。デジタル処理回路DPは、クロック作成回路2と、3つのフリップフロップ回路F/F1、F/F2、F/F3とにより構成されている。クロック作成回路2は、図3に示すような回路となっており、外部から与えられるクロック信号CKに基づいて3種のクロック信号CKA、CKB、CKCを発生させてフリップフロップ回路F/F1、F/F2、F/F3に

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:55/審判18:53/文書号4807405255 P 7

(4)

特開平5-313137

5

【0021】フリップフロップ回路F/F1、F/F2、F/F3は、それぞれデータビット数だけのフリップフロップを備えている。例えば、フリップフロップ回路F/F1を例に挙げると、図4に示すように8個のフリップフロップを備えている。図4におけるd0、d1～d6、d7はそれぞれ映像データDを構成するビットである。他のフリップフロップ回路F/F2、F/F3においても同様に構成されている。

【0022】このように構成されたデジタル処理回路DPにおいては、フリップフロップ回路F/F1、F/F2、F/F3は外部から与えられるデジタル映像信号を3つに分岐してラッチする。また、クロック作成回路は、外部から与えられるクロック信号CKに基づき、これをデジタル映像信号の分岐数に応じた数で、適当な時間引き伸ばしたクロック信号CKA、CKB、CKCを発生させ、フリップフロップ回路F/F1、F/F2、F/F3や他の回路に出力する。このクロック信号CKA、CKB、CKCを入力すると、該当するフリップフロップ回路F/F1、F/F2、F/F3は、それまでラッチしていたデータDA、DB、DCをDA変換回路に出力する。

【0023】DA変換回路1は、デジタル信号DA、DB、DCをアナログ変換してアナログ信号vA、vB、vCを得、アナログドライバ回路ADに出力する。

【0024】アナログドライバ回路ADは、図5に示すような回路構成となっている。このアナログドライバ回路ADは、クロック信号CKA、CKB、CKCが与えられるSHCK1、SHCK2、SHCK3と、vAが与えられるCELL1、CELL4、CELL7、CELL10…と、vBが与えられるCELL2、CELL5、CELL8…と、vCが与えられるCELL3、CELL6、CELL9…とからなる。上記CELL1、2等は、それぞれ図23に示すようなアナログドライバの1出力対応の回路から構成されている。なお、図5においては、実際には与えられている図23の出力用パルスQを省略している。

【0025】上記SHCK1、SHCK2、SHCK3は、それぞれクロック信号CKA、CKB、CKCからサンプリングクロックを作成し、各CELLに供給する為の回路であり、一般にシフトレジスタ等により構成されている。詳細には、SHCK1は、クロック信号CKAからサンプリングクロックを作成してCELL1、CELL4、CELL7、CELL10…に出力する。また、SHCK2は、クロック信号CKBからサンプリングクロックを作成してCELL2、CELL5、CELL8…に、SHCK3はクロック信号CKCからサンプリングクロックを作成してCELL3、CELL6、CELL9…に出力する。

6

路ADに出力されるタイミングに同期させてある。

【0026】かかるアナログドライバ回路ADにおいては、デジタル処理回路DPのクロック作成回路2から与えられるクロック信号CKA、CKB、CKCに基づいて、入力したアナログデータvA、vB、vCをサンプリングする。

【0027】次に、上述のように構成された表示装置の駆動回路の動作内容を、図6に基づいて説明する。図6は、デジタル処理回路DPに入力されるクロック信号CK及びデジタル映像信号Dと、デジタル処理回路DPから出力されるクロック信号CKA、CKB、CKC及びデータ出力DA、DB、DC（DA変換回路への入力）と、DA変換回路1の出力vA、vB、vCとの関係を示すタイミングチャートである。クロック信号CKAとデータ出力DA、クロック信号CKBとデータ出力DB、クロック信号CKCとデータ出力DCがそれぞれ組となっている。

【0028】デジタル処理回路DPには、クロック信号CKと同期して映像信号D（D1、D2、D3、…）が入力される。デジタル処理回路DPは、映像信号Dを3つのフリップフロップ回路F/F1、F/F2、F/F3に分岐させてラッチする一方、クロック信号CKを3倍に時間的に引き伸ばされたクロック信号CKA、CKB、CKCを発生する。クロック信号CKAの発生タイミングは、D1、D4、D7、…の映像信号に対応させてクロック信号CKの3m（mは整数）毎に行われる。また、クロック信号CKB、CKCは、クロック信号CKの3m+1、3m+2毎に行われる。

【0029】よって、図示例の場合には、映像信号D1はクロック信号CKAが入力されて次の映像信号D4に関するクロック信号CKAが入力される間保持され、DAとして出力される。映像信号D2はクロック信号CKBが入力されて次の映像信号D5に関するクロック信号CKBが入力される間保持され、DBとして出力される。映像信号D3はクロック信号CKCが入力されて次の映像信号D6に関するクロック信号CKCが入力される間保持され、DCとして出力される。更に、それ以降も同様に繰り返される。

【0030】したがって、デジタル処理回路DPの入力、出力の関係は、図6のようになる事は明かである。データ出力DA、DB、DCは、DA変換回路1へ与えられ、ここでアナログ信号vA、vB、vCとされる。vAは、クロック信号CKAに同期し、映像信号D1、D4、D7、D10…に対応して変化するアナログ信号となって、アナログドライバ回路ADに与えられる。vB、vCに関しても同様にアナログ信号となって、アナログドライバ回路ADに与えられる。

【0031】アナログドライバ回路ADは、映像信号D

(5)

特開平5-913137

7

ク信号CKCのタイミングで、これらのアナログ信号 v_A 、 v_B 、 v_C をサンプリングし、保持すると共に、適当なタイミングで与えられる出力パルスOE（図5では省略）によって、その出力端子O1、O2...から出力される。

【0032】したがって、本実施例の駆動回路においては、3系統にデータを分岐する場合において、分岐されたデータ及びそのサンプリング用クロック信号は、共に、元の3分の1の速度に低下している事が分かる。これは、逆に言えば、元のデータ及びクロック信号は、アナログドライバ回路ADでサンプリングすることが可能なサンプリング速度の3倍にまで高速化できる事を示している。

【0033】なお、本発明の駆動回路は、カラー表示を行う場合にも適用可能である。図7は、赤、青、緑の各映像データR、G、Bがそれぞれ並列に送られてくる場合の駆動回路の構成を示す。図8は、その駆動回路におけるディジタル処理回路DPの構成を示している。また、図9は、この場合のアナログドライバ回路ADの回路構成図を示す。電子計算機等の表示装置として使用される場合は、このような構成になることが普通である。

【0034】（実施例2）図10は、本発明の他の実施例における表示装置の駆動回路の基本的構成を示す。この駆動回路は、ディジタル映像信号Dとクロック信号CKが外部から与えられるディジタル処理回路DPと、ディジタル処理回路DPから出力される信号DA、DB、DCを入力してDA変換するDA変換回路1と、ディジタル処理回路DPから出力されるクロック信号CKC及びDA変換回路から出力される v_A 、 v_B 、 v_C を入力してサンプリングするアナログドライバ回路ADとからなる。

【0035】図11は、上記ディジタル処理回路DPの具体的な回路構成例を示す。ディジタル処理回路DPは、クロック作成回路2と、5つのフリップフロップ回路F/F1、F/F2、F/F3、F/F4、F/F5により構成されている。クロック作成回路2は、前述の図3と同一構成となっており、外部から与えられるクロック信号CKに基づいて3種のクロック信号CKA、CKB、CKCを発生させる。

【0036】一方、フリップフロップ回路F/F1等は、映像信号Dを直接入力する3つのフリップフロップ回路F/F1、F/F2、F/F3のうち、F/F2、F/F3にそれぞれF/F4、F/F5が接続された構成となっている。フリップフロップ回路F/F1、F/F2、F/F3には、それぞれクロック信号CKA、CKB、CKCが与えられ、フリップフロップ回路F/F4、F/F5にはクロック信号CKCが与えられる。フリップフロップ回路F/F4、F/F5は、それぞれデータビット数だけのフリップフロップを備えており、図4と同一構成となっている。

8

【0037】このように構成されたディジタル処理回路DPにおいては、フリップフロップ回路F/F1、F/F2、F/F3は外部から与えられるディジタル映像信号を3つに分岐してラッチする。また、クロック作成回路2は、外部から与えられるクロック信号CKに基づき、これをディジタル映像信号の分岐数に応じた数で、適当な時間引き伸ばしたクロック信号CKA、CKB、CKCを発生させる。このクロック信号CKA、CKBを入力した該当するフリップフロップ回路F/F1、F/F2は、それまでラッチしていたデータDA⁻、DB⁻をフリップフロップ回路F/F4、F/F5に出力し、フリップフロップ回路F/F4、F/F5はクロック信号CKCを入力するとデータDA、DBをDA変換回路1に出力する。一方、クロック信号CKCを入力したフリップフロップ回路F/F3は、それまでラッチしていたデータDCをDA変換回路1に出力する。データDA、DB、DCのDA変換回路1への出力は、クロック信号CKCに基づいて同時に行われる。

【0038】DA変換回路1は、ディジタルであるデータDA、DB、DCをアナログ変換してアナログデータ v_A 、 v_B 、 v_C を得、アナログドライバ回路ADに出力する。

【0039】アナログドライバ回路ADは、図12に示すような回路構成となっており、クロック信号CKCが与えられるSHCKと、 v_A が与えられるCELL1、CELL4、CELL7、CELL10...と、 v_B が与えられるCELL2、CELL5、CELL8、CELL11...と、 v_C が与えられるCELL3、CELL6、CELL9、CELL12...とからなる。上記CELL1、2等は、それぞれ図23に示すようなアナログドライバの1出力対応の回路から構成されている。なお、図12においては、実際には与えられている図23の出力用パルスOEを省略している。

【0040】上記SHCKは、クロック信号CKCからサンプリングクロックTsmp1、Tsmp2、Tsmp3、Tsmp4等を作成し、各CELLに供給する為の回路であり、一般にシフトレジスタ等により構成されている。詳細には、サンプリングクロックTsmp1は、CELL1、CELL2、CELL3に出力され、また、サンプリングクロックTsmp2は、CELL4、CELL5、CELL6に、サンプリングクロックTsmp3は、CELL7、CELL8、CELL9に、サンプリングクロックTsmp4は、CELL10、CELL11、CELL12に出力される。その出

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:55/審判18:53/文番号4807405255 P 9

(6)

特開平5-313137

9

10

グに同期させてある。

【0041】かかるアナログドライバ回路ADにおいては、ディジタル処理回路DPのクロック作成回路から与えられるクロック信号CKCに基づいて、入力したアナログデータvA、vB、vCをサンプリングする。

【0042】次に、上述のように構成された表示装置の駆動回路の動作内容を、図13及び14に基づき説明する。

【0043】図13は、ディジタル処理回路DPに入力されるクロック信号CK及び映像信号データDと、ディジタル処理回路DPから出力されるクロック信号CKA、CKB、CKC及びデータ出力DA、DB、DC（DA変換回路1への入力）との関係を示すタイミングチャートである。クロック信号CKAとデータ出力DA、クロック信号CKBとデータ出力DB、クロック信号CKCとデータ出力DCがそれぞれ組となっている。

【0044】ディジタル処理回路DPには、クロック信号CKと同期して映像信号D（D1、D2、D3、…）が入力される。ディジタル処理回路DPは、映像信号Dを3つのフリップフロップ回路F/F1、F/F2、F/F3に分岐させてラッチする一方、クロック信号CKを3倍に時間的に引き伸ばしたクロック信号CKA、CKB、CKCを発生する。クロック信号CKAの発生タイミングは、D1、D4、D7、…の映像信号に対応させてクロック信号CKの3m毎に行われる。また、クロック信号CKB、CKCは、クロック信号CKの3m+1、3m+2毎に行われる。

【0045】よって、図示例の場合、映像信号D1は、クロック信号CKAが入力されて次の映像信号D4に関するクロック信号CKAが入力される間保持され、DAとして位相調整回路10のフリップフロップ回路F/F4に出力される。映像信号D2は、クロック信号CKBが入力されて次の映像信号D5に関するクロック信号CKBが入力される間保持され、DBとして位相調整回路10のフリップフロップ回路F/F5に出力される。映像信号D3は、クロック信号CKCが入力されて次の映像信号D6に関するクロック信号CKCが入力される間保持され、DCとして出力される。このDCの出力のとき、フリップフロップ回路F/F3と同時に位相調整回路10のフリップフロップ回路F/F4、F/F5にクロック信号CKCが入力されるので、フリップフロップ回路F/F4、F/F5からDA、DBがDCと同時にDA変換回路1に出力される。更に、それ以降も同様に繰り返される。

【0046】したがって、ディジタル処理回路DPの入力、出力の関係が、図13のようになる事は明かである。

【0047】図14は、クロック信号CKCと、データ出力DA、DB、DCと、DA変換回路1によりアナログ信号に変換されたvA、vB、vCとの関係を示すタイミングチャートである。vA、vB、vCは、クロック信号CKCの立ち上がりにより同期して変化するアナログ信号となって、アナログドライバ回路ADに与えられる。なお、図14においてはDA変換回路1における遅延は無視しているが、遅延が無視できない場合は、クロック信号CKCに対して遅延回路を設ける等の方式で遅延を補償する必要があることは言うまでもない。

【0048】アナログドライバ回路ADは、前述したような構成になっているから、信号vAをサンプリングクロックT_{smpl}、T_{smpl4}…等で、vBをサンプリングクロックT_{smpl2}…で、vCをサンプリングクロックT_{smpl3}…でサンプリングし、保持すると共に、適当なタイミングで与えられる出力パルスOEによって、その出力端子から出力する。

【0049】したがって、本実施例の駆動回路においても、3系統にデータを分岐する場合は、分岐されたデータ及びそのサンプリング用クロック信号は、共に、元の3分の1の速度に低下している事が分かる。これは、逆に言えば、元のデータ及びクロック信号は、アナログドライバ回路ADでサンプリングすることが可能なサンプリング速度の3倍にまで高速化できる事を示している。

【0050】なお、本発明の駆動回路は、カラー表示を行う場合にも適用可能である。図15は、赤、青、緑の各映像データR、G、Bがそれぞれ並列に送られてくる場合の駆動回路の構成を示す。図16は、その駆動回路におけるディジタル処理回路DPの構成を示している。また、図17は、この場合のアナログドライバ回路ADの回路構成図を示す。電子計算機等の表示装置として使用される場合は、このような構成になることが普通である。

【0051】ところで、上述した本発明においては、ディジタル処理回路DPがディジタル回路であるが、非常に高速の動作が可能である。又、ディジタル処理回路DP自身はそれほど大きな回路ではないため、データのビット数が大きくても全く問題とならない。ディジタル処理回路DPはディスクリートのICで組み込むこともできるし、又、LSI化も容易である。実際、本発明は、データのビット数が増えれば増えるほど、その効果を遺憾なく発揮できるという特徴を有する。

【0052】更に、以下のような特徴を有する。DA変換回路は、市販のDA変換用のICを使用することが可能であり、何ら新しい開発を必要としない。また、アナログドライバ回路ADは、基本的原理、構成は従来のアナログドライバ回路と同様である。

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:56/第18:53/文書号4807405255 P 10

(7)

特開平5-313137

11

12

で容易に可能であり、何ら新しい技術開発は必要としない。

【0053】このように、本発明の場合には、従来不可能であった事実上無限階調の高速デジタル入力の駆動回路システムが、容易に実現可能となる。尚、実際の駆動回路においては、1つのデジタル処理回路DPとDA変換回路に、多数のアナログドライバ回路ADを接続する事ができる。実際、1枚の表示パネルの駆動に必要なデジタル処理回路DPとアナログドライバ回路ADは、1組ないし2組程度で十分である。その為、デジタル処理回路DPとアナログドライバ回路DAに、多少高価なものを使用したとしても、全体に対するコストアップの要因としてはいたした事はない。

【0054】なお、上述した2つの実施例においては映像信号Dを3系統に分岐しているが、本発明は4系統以上に分岐して行ってもよい。その場合には、より高速処理が可能となる。

【0055】また、本発明の駆動回路は、アナログドライバ回路ADとしては、他の2つのデジタル処理回路DP、DA変換回路1とは独立したLSIで構成することができる特徴を有する。又、デジタル処理回路DPとしては、DA変換回路1から独立させた構成としてもよいが、DA変換回路1を備えた構成とするようにしてもよい。

【0056】また、本発明は、デジタル処理回路DAとアナログドライバ回路ADとの間に、アナログドライバ回路ADの入力条件に適合するようにアナログ信号を処理するアナログ信号処理回路を挿入するようにしてもよい。例えば、実施例2の場合を例に挙げると、図18のようにアナログ信号処理回路11を設ける。実施例1においても同様に設けるとよい。

【0057】上記2つの実施例においては、図5及び12に示すアナログドライバ回路ADの1出力相当の構造、即ちCELLの構造として図23に示す回路構成のアナログドライバを用いているが、本発明はこれに限らず同等の機能を有する他の構成のもの、例えば図19に示す回路構成のアナログドライバのようなものでもよい。

【0058】

【発明の効果】本発明による場合には、映像信号を並列的に処理することができるので高速処理が可能となり、また、アナログドライバ回路を使用しているため、無限階調が可能となる。更に、デジタル処理回路が位相整合回路を備える場合は、分岐された映像信号の1つを出力する位相に、他の分岐された映像信号を出力する位相を整合させることができる。

【図面の簡単な説明】

【図1】本発明の表示装置の駆動回路の構成を示すブロック図。

すブロック図。

【図3】図2のデジタル処理回路DPのクロック作製回路を示すブロック図。

【図4】図2のデジタル処理回路DPのフリップフロップ回路を示すブロック図。

【図5】図1の駆動回路のアナログドライバ回路ADを示すブロック図。

【図6】図1の駆動回路の動作内容を示すタイミングチャート。

10 【図7】カラー表示を行う場合の駆動回路を示すブロック図。

【図8】図7の駆動回路のデジタル処理回路DPを示すブロック図。

【図9】図7の駆動回路のアナログドライバ回路ADを示すブロック図。

【図10】本発明にかかる表示装置の駆動回路の他の基本的構成を示すブロック図。

【図11】図10の駆動回路のデジタル処理回路DPを示すブロック図。

20 【図12】図10の駆動回路のアナログドライバ回路ADを示すブロック図。

【図13】図11のデジタル処理回路DPによる信号処理内容を示すタイミングチャート。

【図14】図12のアナログドライバ回路ADによる信号処理内容を示すタイミングチャート。

【図15】カラー表示を行う場合の駆動回路を示すブロック図。

【図16】図15の駆動回路のデジタル処理回路DPを示すブロック図。

30 【図17】図15の駆動回路のアナログドライバ回路ADを示すブロック図。

【図18】本発明に係る表示装置の駆動回路の更に他の基本的構成を示すブロック図。

【図19】本発明に適用可能な他のアナログドライバを示す回路図。

【図20】従来のデジタルソースドライバを示すブロック図。

【図21】従来の表示装置の駆動回路の全体を示すブロック図。

40 【図22】従来におけるカラー表示を行う場合の表示装置の駆動回路の全体を示すブロック図。

【図23】一般的に使用されているアナログドライバを示す回路図。

【符号の説明】

D デジタル映像信号

CK クロック信号

DP デジタル処理回路

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:56/頁18:53/文書番号4807405255 P 11

(8)

特開平5-313137

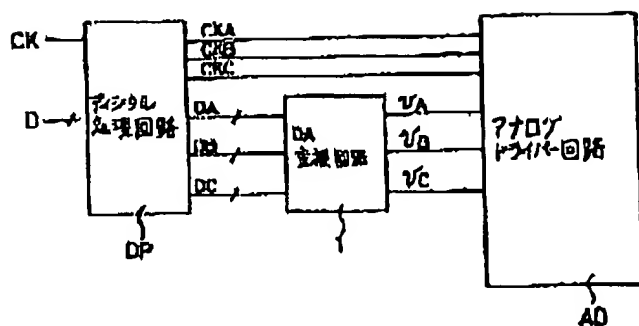
13

14

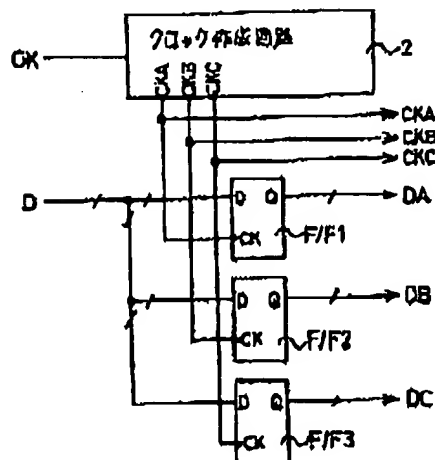
DA デジタル信号
DB デジタル信号
DC デジタル信号
1 DA変換回路
2 クロック作成回路

vA アナログ信号
vB アナログ信号
vC アナログ信号
AD アナログドライバー回路
10 位相調整回路

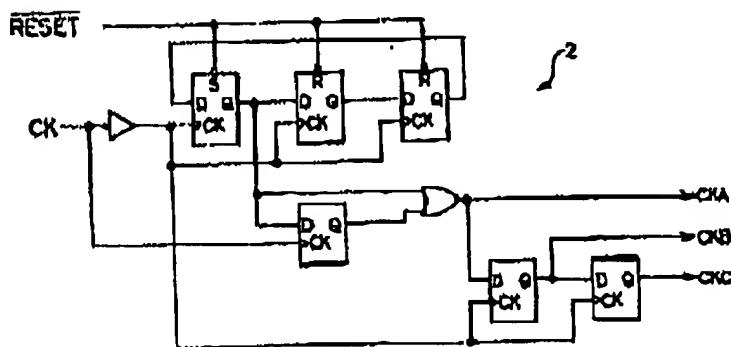
【図1】



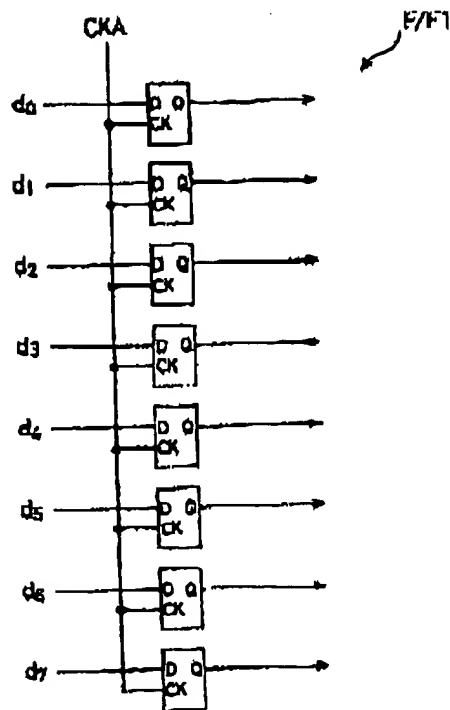
【図2】



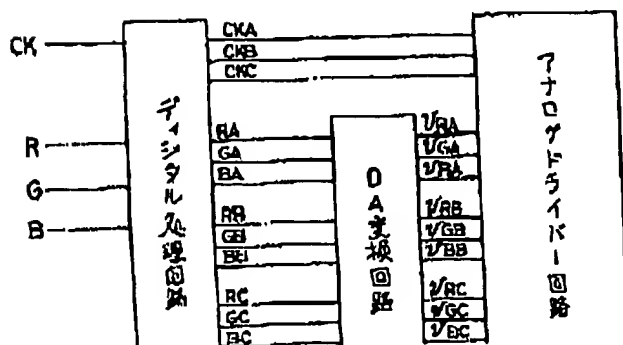
【図3】



【図4】



【図7】



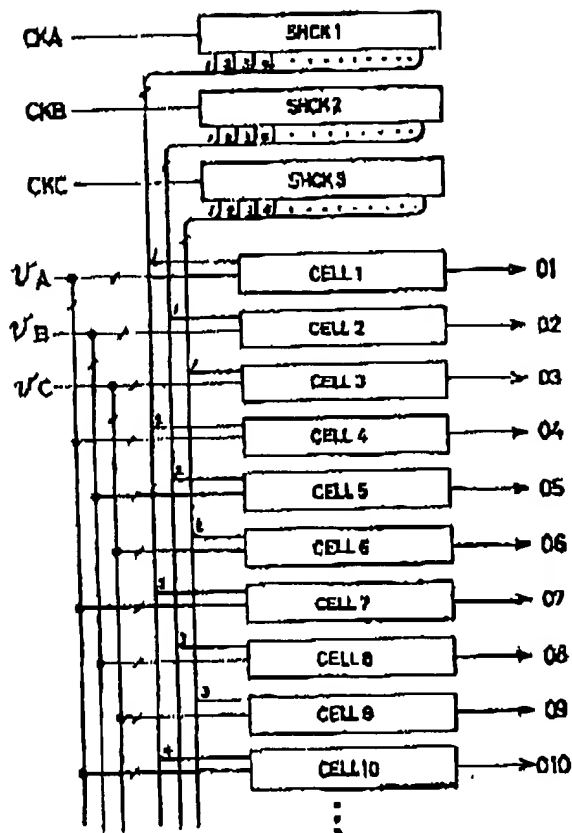
FROM HARAKENZO PAT.

2006年 1月27日(金) 18:56/第18:53/文档号4807405255 P 12

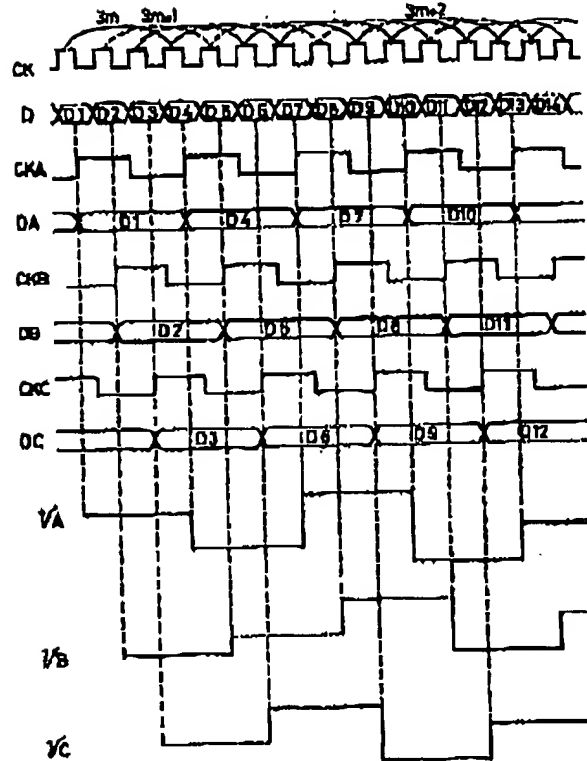
(9)

特開平5-313137

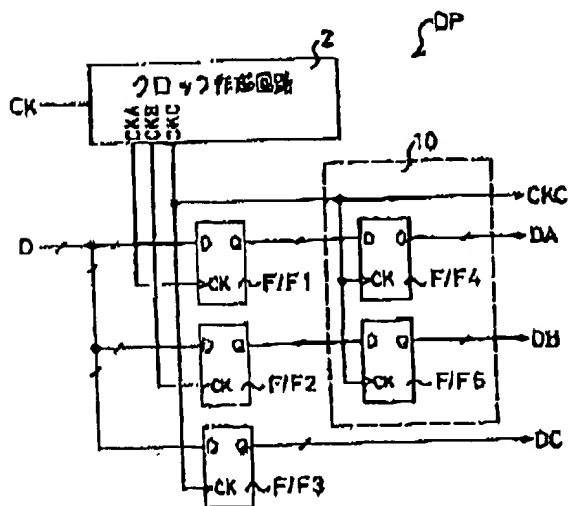
【図5】



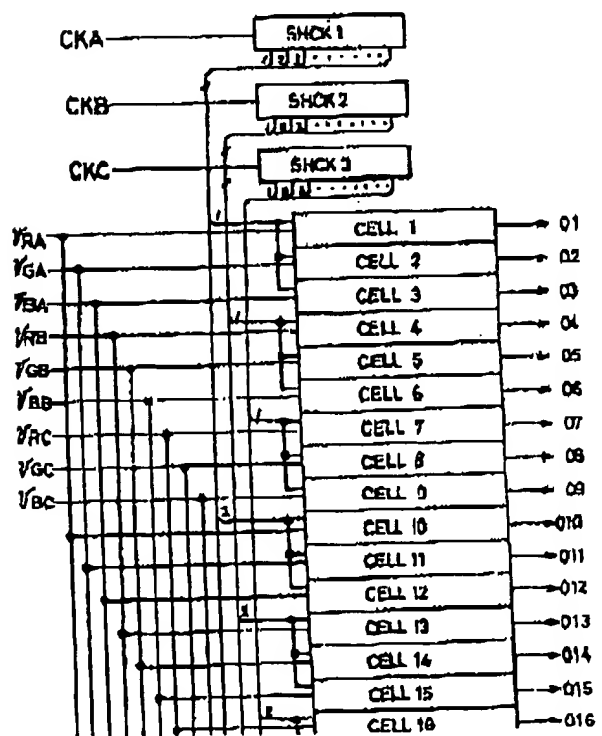
【図6】



【図11】



【図9】



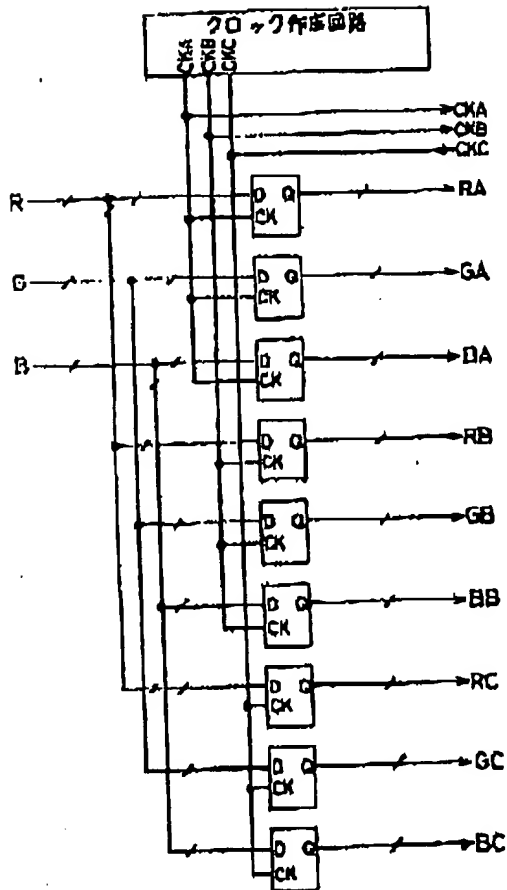
FROM HARAKENZO PAT.

2006年 1月27日(金) 18:56/蓄積18:53/文書番号4807405255 P 13

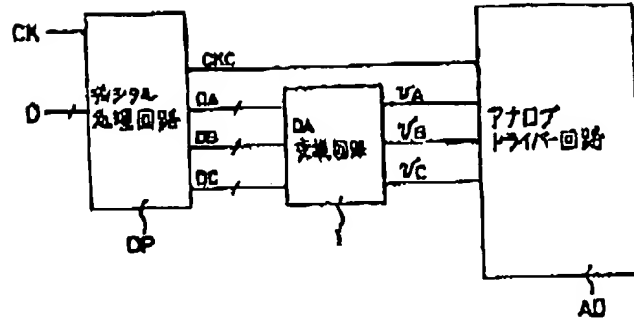
(10)

特開平5-313137

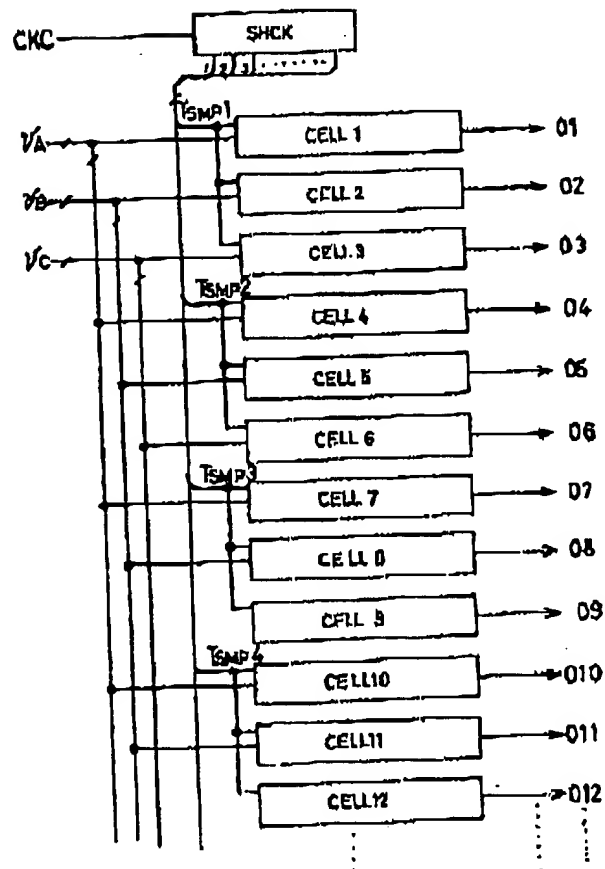
【図8】



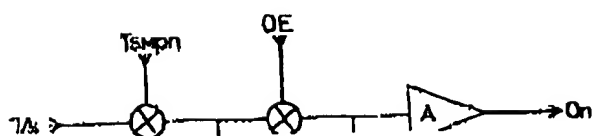
【図10】



【図12】



【図23】



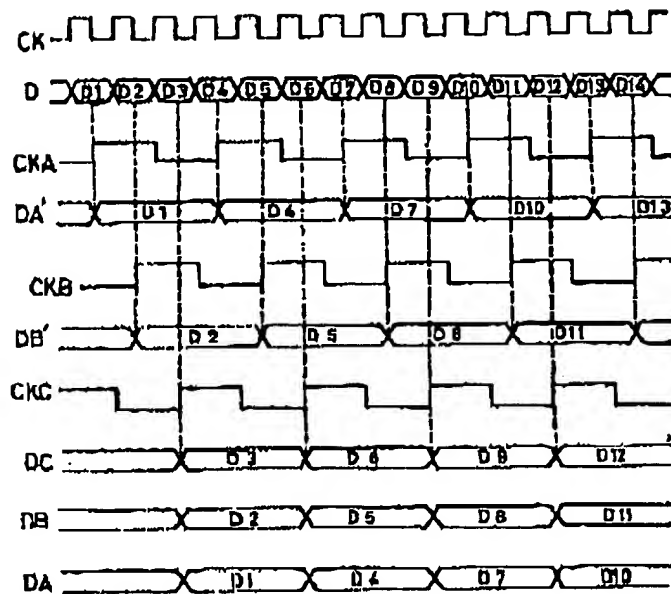
FROM HARAKENZO PAT.

2006年 1月27日(金) 18:56/蓄積18:53/文書番号4807405255 P 14

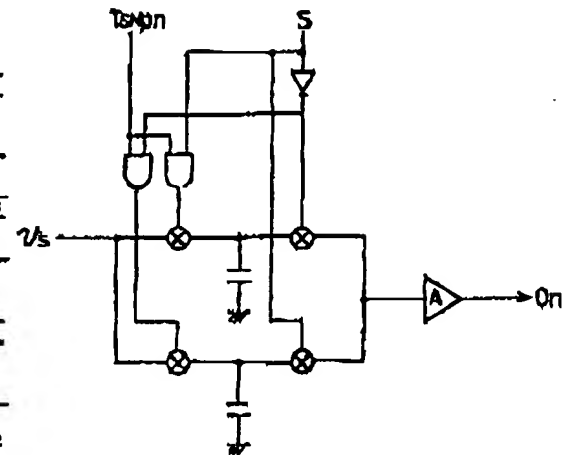
(11)

特開平5-13137

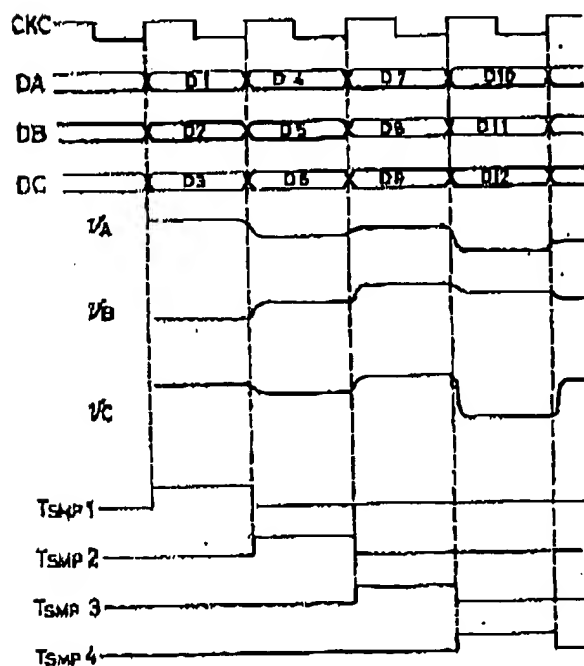
【図13】



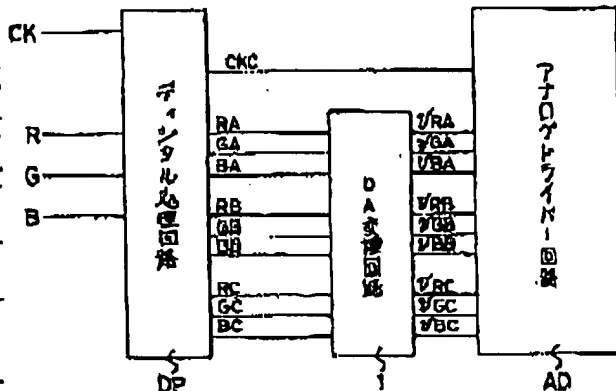
【図19】



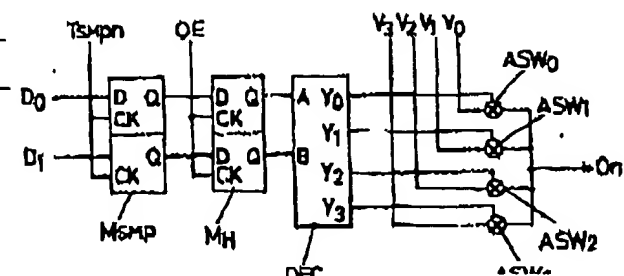
【図14】



【図15】



【図20】



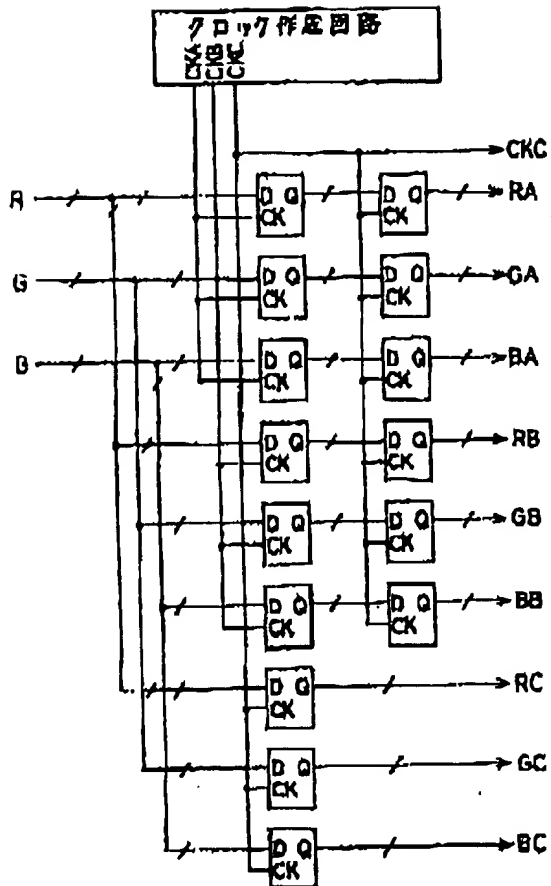
FROM HARAKENZO PAT.

2006年 1月27日(金) 18:56/蓄積18:53/文番号4807405255 P 15

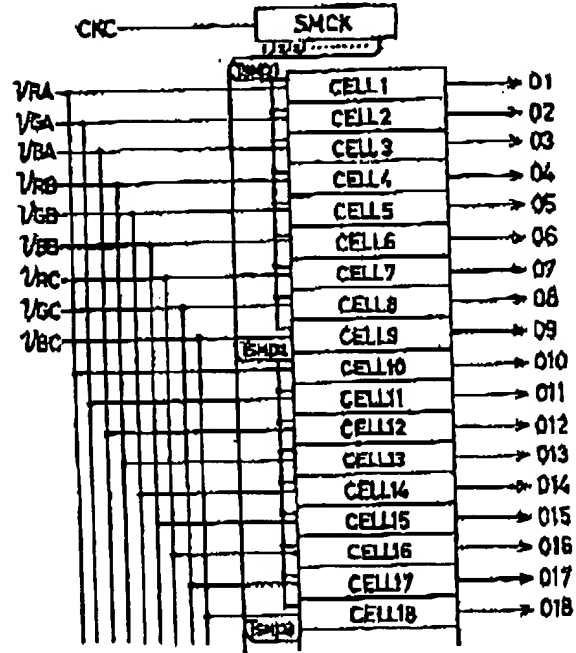
(12)

特開平5-313137

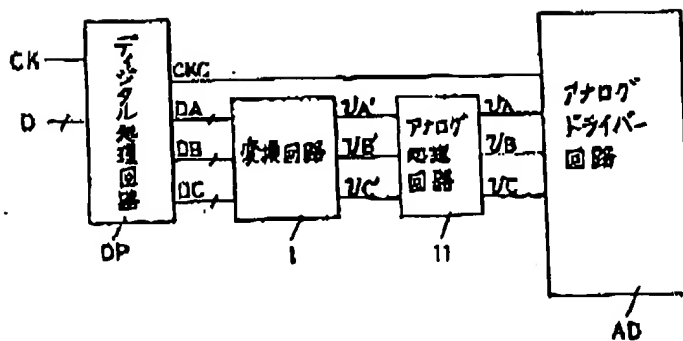
【図16】



【図17】



【図18】



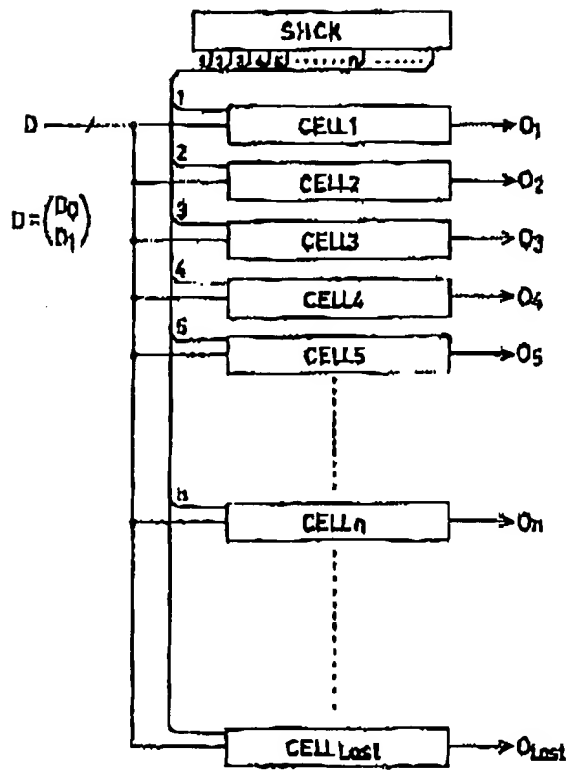
FROM HARAKENZO PAT.

2006年 1月27日(金) 18:57/審18:53/文審号4807405255 P 16

(19)

特開平5-313137

【図21】



【図22】

